

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-226104

(43)Date of publication of application : 25.08.1998

(51)Int.Cl.

B41J 2/44
H04N 1/113

(21)Application number : 09-030391

(71)Applicant : MITSUBISHI CHEM CORP

(22)Date of filing : 14.02.1997

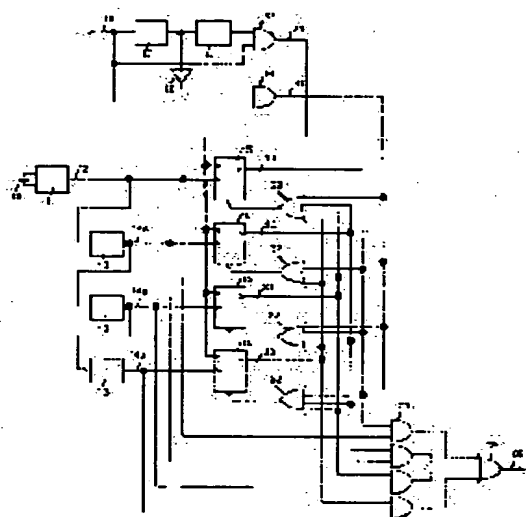
(72)Inventor : NAKAYAMA HIROBUMI
FUKADA TAKASHI

(54) VIDEO CLOCK SYNCHRONOUS CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To meet high-speed image outputs by selecting from original signals of video clock signals, the video clock signal delayed by a delay circuit having a phase matched to a horizontal start signal.

SOLUTION: A video clock original signal 12 from an oscillation circuit 11 is input directly to a clock terminal of a D-type flip-flop 15, and delay signals 14a-14c delayed at a plurality of delay elements 13 are input to the clock terminals of a plurality of D-type flip-flops 15. Signals 23 from output terminals Q of the flip-flops 15, original signal 12 and delay signals 14a-14c are input to a selecting circuit consisting of AND elements 24 and an OR element 25. At this time, the delay signal 14a-14c having a phase agreed with a horizontal start signal 16 is selected, whereby a synchronized video clock signal 26 is obtained from the OR element 25. A printer capable of processing images with high quality at high speed can thus be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-226104

(43) 公開日 平成10年(1998) 8月25日

(51) Int.Cl.⁸

識別記号

F I

B 4 1 J 2/44

B 4 1 J 3/00

D

H 0 4 N 1/113

H 0 4 N 1/04

1 0 4 A

審査請求 未請求 請求項の数4 OL (全 5 頁)

(21) 出願番号

特願平9-30391

(22) 出願日

平成9年(1997) 2月14日

(71) 出願人 000005968

三菱化学株式会社

東京都千代田区丸の内二丁目5番2号

(72) 発明者 中山 博文

神奈川県横浜市青葉区鴨志田町1000番地

三菱化学株式会社横浜総合研究所内

(72) 発明者 深田 崇

神奈川県横浜市青葉区鴨志田町1000番地

三菱化学株式会社横浜総合研究所内

(74) 代理人 弁理士 長谷川 暁司

(54) 【発明の名称】 ビデオクロック同期回路

(57) 【要約】

【課題】 本発明はビデオクロック同期回路に関し、特にレーザビームプリンタにおいて、水平方向スタート信号と位相が合ったビデオクロック信号を生成するビデオクロック同期回路およびそれを用いた画像形成方法とプリンターを提供する。

【解決手段】 ビデオクロック原信号を複数の遅延素子を用いて遅延する回路と、水平方向スタート信号に位相が合った前記遅延回路で遅延されたビデオクロック信号を選択する選択回路を有することを特徴とするビデオクロック同期回路。

1

【特許請求の範囲】

【請求項1】 ビデオクロック原信号を複数の遅延素子を用いて遅延する回路と、水平方向スタート信号に位相が合った前記遅延回路で遅延されたビデオクロック信号を選択する選択回路を有することを特徴とするビデオクロック同期回路。

【請求項2】 前記選択回路は、ビデオクロック信号の周期T（秒）の $1/N$ の遅延時間を有する（ $N-1$ ）個の遅延素子と、N個のD型FF（フリップフロップ）回路と、このFFをリセットするための信号とFFのD入力に10 入力するための信号を水平方向スタート信号から生成する回路と、どれかひとつのFFの出力がアクティブになれば、他のFFをリセット状態にし、出力をインアクティブにするNOR回路と、FFの出力をアクティブにしたビデオクロック信号を選択するAND・OR回路を有することを特徴とする請求項1に記載のビデオクロック同期回路。

【請求項3】 発振回路から生成したビデオクロック原信号を複数の遅延素子を用いて、異なった位相を有する複数の信号となし、この複数の信号のうち、水平方向スタート信号と位相が合った信号を選択し、ビデオクロック信号として用いる画像形成方法。

【請求項4】 発振回路から生成したビデオクロック原信号を複数の遅延素子を用いて、異なった位相を有する複数の信号となし、この複数の信号のうち、水平方向スタート信号と位相が合った信号を選択し、ビデオクロック信号として用いるビデオクロック同期回路を有するプリンター。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はビデオクロック同期回路に関し、特にレーザビームプリンタにおいて、水平方向スタート信号と位相が合ったビデオクロック信号を生成するビデオクロック同期回路およびそれを用いた画像形成方法及びプリンターに関する。

【0002】

【従来の技術】 レーザをスキャンして画像を形成するレーザビームプリンタでは、水平方向にスキャンするレーザビームが画像描画を開始する直前に水平方向スタート信号を検出する。画像信号を生成するためには、この水平方向スタート信号と位相が合ったビデオクロック信号が必要となる。ビデオクロック信号が水平方向スタート信号と同期していないレーザスキャン方向と直角な方向に縦線が揺らぐなどの画像の乱れが生じる。従来、水平方向スタート信号と位相が合ったビデオクロック信号を生成する方法としては、図1に示すものがあった。図1において、1は水晶振動子、2は発振回路、3はリセット端子付きの $1/N$ 分周回路である。発振回路では、ビデオクロック信号のN倍の周波数で発振し、 $1/N$ 分周回路のクロック入力となる。水平方向スタート信号4は

2

$1/N$ 分周回路のリセット入力に入る。 $1/N$ 分周回路の $1/N$ 倍出力からは、水平方向スタート信号に位相が合ったビデオクロック信号5が得られていた。

【0003】

【発明が解決しようとする課題】 しかしながら、上記のような従来例では、最悪は、 $1/N$ 画素のずれが生じることがあり、さらに位相を合わせるためには、Nを大きくする、すなわち、発振回路の周波数を高くすることが必要となり、高速な画像出力を行う場合、実際には、発振回路が高価であったり発振が非常に困難になるか、発振できなくなるといった課題があった。

【0004】 本発明は、上記課題を解決するためになされたものであり、すなわち本願発明の目的は、水平方向スタート信号とよく同期したビデオクロック信号を、高周波数の発振回路を使用することなく得ることができる回路と、それを用いた画像形成方法及びプリンターを提供することであり、かかる目的は、ビデオクロック原信号を複数の遅延素子を用いて遅延する回路と、水平方向スタート信号に位相が合った前記遅延回路で遅延されたビデオクロック信号を選択する選択回路を有することを特徴とするビデオクロック同期回路により容易に達成される。

【0005】

【課題を解決するための手段】 次に、上記問題点を解決するために案出した本発明を説明する。本発明は、ビデオクロック原信号を複数の遅延素子を用いて遅延する回路と、水平方向スタート信号に位相が合った前記遅延回路で遅延されたビデオクロック信号を選択する選択回路とを有することを特徴とする。また、前記選択回路の1例を挙げれば、ビデオクロック信号の周期T（秒）の $1/N$ の遅延時間を有する（ $N-1$ ）個の遅延素子と、N個のD型FF（フリップフロップ）回路と、このFFをリセットするための信号とFFのD入力に10 入力するための信号を水平方向スタート信号から生成する回路と、どれかひとつのFFの出力がアクティブになれば、他のFFをリセット状態にし、出力をインアクティブにするNOR回路と、FFの出力をアクティブにしたビデオクロック信号を選択するAND・OR回路を有することを特徴とする。

【0006】

【作用】 上記構成を有するビデオクロック信号同期回路によれば、ビデオクロック信号の原信号、あるいは複数の遅延素子を用いて遅延されたビデオクロック信号の中から、水平方向スタート信号に位相が合った前記遅延回路で遅延されたビデオクロック信号を選択することができる。これにより、高い周波数の発振回路を用いずに、水平方向スタート信号と位相が合ったビデオクロック信号を生成することが可能となる。

【0007】 以下、本発明の一例を図面を参照して説明する。図2は本発明の実施例におけるビデオクロック同

50

3

期回路の構成を示す。図2において、10は水晶振動子、11は発振回路であり、所望のビデオクロックと同一の発振周波数である。この発振回路から出たビデオクロック原信号12は、ひとつは直接D型FF（フリップフロップ）15のクロック入力に、また、複数からなる遅延素子13で遅延された、遅延信号14は、複数からなるD型FF（フリップフロップ）15のクロック入力となる。

【0008】水平方向にスキャンするレーザビームが画像描画を開始する直前に検出する水平方向スタート信号16は、遅延素子17を用いて遅延させた二つの信号から、NOT素子18とAND素子19を用いてリセット信号20、データ信号21を生成する。FF15のリセット端子Rには、NOR素子22がつながっており、リセット信号20は、22を通してFF15のリセット端子Rに入力され、水平方向スタート信号16が入るとすぐにFF15をリセットし、FF15の出力端子QはLレベルとなる。NOR素子22への信号は、リセット信号20と、NOR素子がつながっているFF以外のFFの出力端子Qからの信号23が入力される。FF15の入力端子Dには、データ信号21が入力される。したがって、複数のFF15に一番最初にクロックが入ったFFが出力端子QをHレベルに保持し、他のFFの出力端子QをLレベルに保持することになる。次にリセット信号20が入力されるとすべてのFF15の出力端子QはLレベルとなる。

【0009】FF15の出力端子Qからの信号23と原信号12と遅延信号14は、AND素子24とOR素子25からなる選択回路に入力され、水平方向スタート信号16に位相が合った信号14が選択され、OR素子25からは同期化したビデオクロック信号26が得られることになる。図3には、図2で構成されたビデオクロック同期回路の信号のタイミングチャートを示す。ビデオクロック信号の周期T（秒）の1/4の遅延時間を有する（4-1）個の遅延素子で構成した例である。本実施例では、遅延素子を3個用いた場合であるが、ビデオクロックの周波数に対して、位相を合わせる精度に応じた遅延素子の遅延時間と個数を任意に設定できる。実際に用いる場合には、 $N \geq 8$ つまり7個以上用いることが好ましい。

【0010】上述の説明では、遅延時間が同一の遅延素子を用いた場合で説明したが、遅延時間の異なる遅延素子

4

子を利用する場合には、遅延素子を並列に並べることににより、上述の説明と同様の効果を得ることができる。図4に遅延回路の配列を例示する。図4は遅延時間の異なる素子を使用する場合である。そしてこうして得たビデオクロック同期回路を従来のビデオクロック同期回路に置き換え、組み込んだプリンターは、高周波数の発振回路を使うことなく高画質、高速画像処理の可能なプリンターを得ることができる。

【0011】

【発明の効果】以上、説明したように、本発明のビデオクロック同期回路によれば、ビデオクロック信号の原信号、あるいは複数の遅延素子を用いて遅延されたビデオクロック信号の中から、水平方向スタート信号に位相が合った前記遅延回路で遅延されたビデオクロック信号を選択することができるので、高い周波数の発振回路を用いずに、水平方向スタート信号と位相が合ったビデオクロック信号を生成することが可能となり、また、高速な画像出力にも対応が可能となるなどの効果が得られる。

【図面の簡単な説明】

【図1】従来の回路構成の一例

【図2】本発明の一実施例の回路構成図

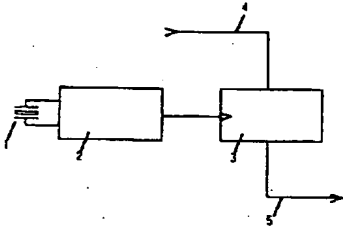
【図3】本発明の一実施例のタイミングチャート

【図4】遅延時間の異なる素子を使用する場合の遅延回路の配列

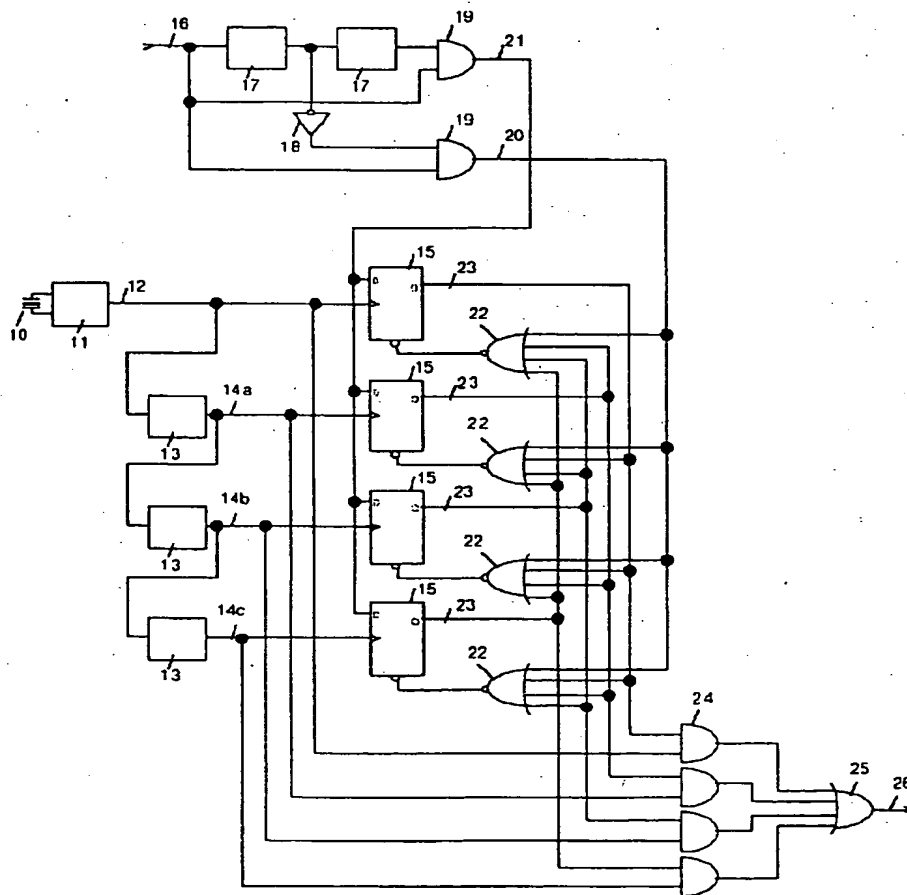
【符号の説明】

- 1, 10 水晶振動子
- 2, 11 発振回路
- 3 リセット端子付きの1/N分周回路
- 4, 16 水平方向スタート信号
- 5 ビデオクロック信号
- 12 原信号
- 13, 17 遅延素子
- 14 遅延信号
- 15 D型FF（フリップフロップ）
- 18 NOT素子
- 19, 24 AND素子
- 20 リセット信号
- 21 データ信号
- 22 NOR素子
- 23 FF出力端子Qからの信号
- 25 OR素子
- 26 同期化したビデオクロック信号

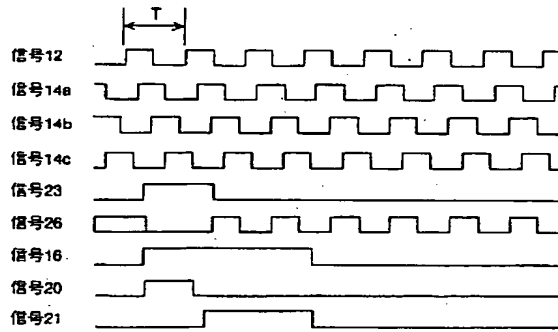
【図1】



【図2】



【図3】



【図4】

